

PAT-NO: JP02000031322A

DOCUMENT-IDENTIFIER: JP 2000031322 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 28, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
YOSHIDA, SATOSHI	N/A
ENDO, TSUNEO	N/A
HIBINO, MITSUAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

BEST AVAILABLE COPY

APPL-NO: JP10195343

APPL-DATE: July 10, 1998

INT-CL (IPC): H01L023/12, H01L021/56 , H01L021/60 , H01L023/36

ABSTRACT:

PROBLEM TO BE SOLVED: To form short routes from the heat generating surface of a semiconductor element to the thermal via of a wiring board through bump electrodes by connecting the bump electrodes of the semiconductor element to the thermal via after alignment.

SOLUTION: A semiconductor element 101 is electrically connected to wiring 103 on a wiring board 105 through a plurality of bump electrodes 102 and, in addition, parts of the electrodes 102 are also connected thermally. Since the wiring 103 rises in the portion of the wiring board 105 where a thermal via 104 exists, the bump electrode 102 on the via 104 is deformed. Since the electrode 102 on the via 104 is deformed, in addition, the thermal route further becomes shorter and a good characteristic can be obtained. Therefore, the route from the heat generating section of the element 101 to the thermal via 104 becomes very short and, since the material used for the electrodes 102 is usually a metal, a high coefficient of thermal conductivity can also be expected.

COPYRIGHT: (C)2000,JPO

DERWENT-ACC-NO: 2000-187887

DERWENT-WEEK: 200017

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Flip-clip connection of semiconductor device, has
bump

electrode which connects semiconductor device and
thermal

via provided on wiring board

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1998JP-0195343 (July 10, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
--------	----------	----------	-------

MAIN-IPC

JP 2000031322 A January 28, 2000 N/A 003
H01L 023/12

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2000031322A	N/A	1998JP-0195343	July 10, 1998

INT-CL (IPC): H01L021/56, H01L021/60 , H01L023/12 ,
H01L023/36

ABSTRACTED-PUB-NO: JP2000031322A

BASIC-ABSTRACT:

NOVELTY - The bump electrodes (102) electrically and mechanically connects the semiconductor device (101) and the thermal via (104) provided on

wiring board

(105). A portion of bump electrode is configured just overhead of a thermal via.

USE - For semiconductor device.

ADVANTAGE - Since the heat release path from the semiconductor device to the wiring board is long, the wiring board is protected from the heat.

DESCRIPTION

OF DRAWING(S) - The figure shows the sectional view of the semiconductor

device. (101) Semiconductor device; (102) Bump electrodes; (104) Thermal via; (105) Wiring board.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: FLIP CLIP CONNECT SEMICONDUCTOR DEVICE BUMP

ELECTRODE CONNECT

SEMICONDUCTOR DEVICE THERMAL WIRE BOARD

DERWENT-CLASS: U11

EPI-CODES: U11-D01; U11-D02B1; U11-E01; U11-E02A1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-139396

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-31322

(P2000-31322A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	L 4 M 1 0 5
21/56		21/56	E 5 F 0 3 6
21/60	3 1 1	21/60	3 1 1 S 5 F 0 6 1
23/36		23/12	J
		23/36	C
審査請求 未請求 請求項の数 3 O L (全 3 頁)			

(21) 出願番号 特願平10-195343

(22) 出願日 平成10年7月10日 (1998.7.10)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 孝志

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 遠藤 恒雄

東京都小平市上水本町五丁目20番1号株式

会社日立製作所半導体事業部内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

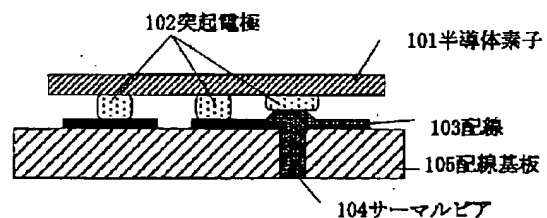
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 フリップチップ接続構造において、半導体素子から配線基板に放熱する際に、半導体素子裏面から配線基板に放熱板などで放熱する構造では、熱の経路が長いため熱抵抗が高くなっていた。

【解決手段】 フリップチップ接続に用いられる突起電極を配線基板のサーマルビアの配置と同一に配置し、それらをお互いに接続する。

図1



【特許請求の範囲】

【請求項1】半導体素子とサーマルビアを持つ配線基板が複数の突起電極により、電気的および機械的に接続されており、突起電極の一部はサーマルビアの直上に配置してあることを特徴とする半導体装置。

【請求項2】半導体素子とサーマルビアを持つ配線基板が複数の突起電極により、電気的および機械的に接続されており、突起電極の一部はサーマルビア付近に配置してあることを特徴とする半導体装置。

【請求項3】特許請求項1又は2の半導体装置において、該半導体素子と該配線基板間には熱伝導性が良好な樹脂が注入されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】半導体素子の配線基板への接続、特にフリップチップ接続に関する。

【0002】

【従来の技術】従来の技術は特開平9-115956号公報に示されるように半導体素子裏面から熱伝導板などを介してサーマルビアなどに接続されていた。または、特開平5-109823号公報に示されるように半導体素子表面からバンパを介して信号層に接続されていた。

【0003】

【発明が解決しようとする課題】従来の技術は特開平9-115956号公報では、チップの表面から裏面と熱伝導板などの熱の経路が必要であった。また、特開平5-109823号公報では電気的な接続しか考えられておらず熱伝導の経路は考えられていなかった。

【0004】このため従来の技術では発熱量が大きい半導体素子の実装には、熱抵抗が大きいために半導体素子の動作時の温度が許容温度範囲を超えてしまい、安定した動作が保証できなかった。

【0005】

【課題を解決するための手段】配線基板にはサーマルビアが作成可能な間隔で作成されている。配線基板のサーマルビアの間隔と同じ間隔で半導体素子にも突起電極を配置しておく。半導体素子にはその他にも信号用の突起電極を配置してある。配線基板のサーマルビアと半導体素子の突起電極を位置あわせて互いに接続することにより、半導体素子の発熱面から突起電極を経てサーマルビアに至る短い経路を作成する。

【0006】また、配線基板と半導体素子の間に熱伝導性が良好な樹脂を配置することにより、半導体素子の発熱面からサーマルビアに至る経路を増やす。

【0007】

【発明の実施の形態】図1に実施の形態の1例を示す。半導体素子101は複数の突起電極102によって配線基板105上の配線103に電気的に接続されている。また、突起電極102の一部は熱的にも接続されている。サーマルビア104の存在する部位は配線103が盛り上がっているため、

他の配線部分と突起電極が接続できるようにするため、サーマルビア部の突起電極は変形している。サーマルビア104上の突起電極102が変形していることにより、さらに熱的な経路が短くなり、良好な特性を得ることが出来る。本構造は半導体素子101と配線基板105の熱膨張率の差がほとんど無く、半導体素子101の大きさが小さい場合に有効な構造である。

【0008】図2に実施の形態の1例を示す。半導体素子101は複数の突起電極102によって配線基板105上の配線103に電気的に接続されている。また、突起電極102の一部は熱的にも接続されている。サーマルビア104の存在する部位は配線103が盛り上がっているため、他の配線部分と突起電極が接続できるようにするため、サーマルビア部の突起電極は変形している。サーマルビア104上の突起電極102が変形していることにより、さらに熱的な経路が短くなり良好な特性を得ることが出来る。半導体素子101と配線基板105の間には、熱伝導性のよい樹脂106が注入されている。本構造は半導体素子101と配線基板105の熱膨張率が著しく異なる場合や、半導体素子の大きさが大きい場合に有効な構造である。

【0009】図3に実施の形態の1例を示す。半導体素子101は複数の突起電極102によって、配線基板105上の配線103に電気的に接続されている。また、突起電極102の一部は配線を介して熱的にも接続されている。サーマルビア104が存在する部分の配線103は盛り上がっているため、接続信頼性を向上するために配線103の平坦な部分に突起電極を接続している。本構造は半導体素子101と配線基板105の熱膨張率の差がほとんど無く、半導体素子101の大きさが小さい場合に有効な構造である。

【0010】

【発明の効果】半導体素子の裏面から熱伝導板などを用いてサーマルビアに熱を伝える構造では、半導体素子表面から裏面と熱伝導板からサーマルビアまでの距離が熱抵抗になる。また、半導体素子表面から突起電極で信号層に接続する構造では信号層は金属であるが、非常に薄いため熱が通りにくく、熱抵抗が大きくなる。

【0011】これらと比較して、半導体素子の発熱部から突起電極を経てサーマルビアに至る構造は、半導体素子の発熱部からサーマルビアまでの経路が非常に短く短縮され、さらに突起電極に使用される材料は通常、金属であるので熱伝導率も良好であることが期待できる。

【図面の簡単な説明】

【図1】本発明の実施の形態である半導体素子の1例を示す断面図である。

【図2】本発明の実施の形態である半導体素子の1例を示す断面図である。

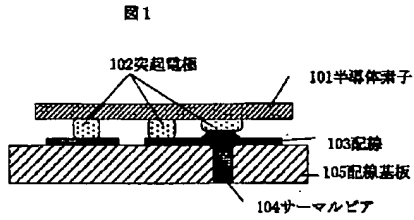
【図3】本発明の実施の形態である半導体素子の1例を示す断面図である。

【符号の説明】

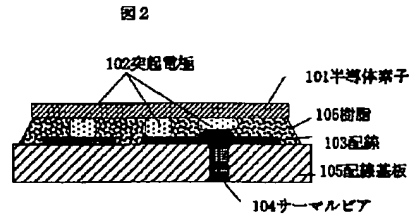
101…半導体素子、102…突起電極、103…配線、104…サ

ーマルビア、105…配線基板、106…樹脂。

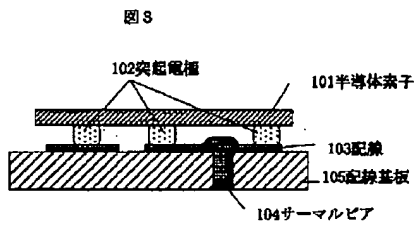
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 日比野 光明
東京都小平市上水本町五丁目20番1号株式
会社日立製作所半導体事業部内

Fターム(参考) 4M105 AA01 BB01 BB11 FF02 GG10
GG17 GG18
5F036 AA01 BB21 BC33 BD22 BE01
BE09
5F061 AA01 BA04 CA04 FA05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.